

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2003 年 10 月 16 日 (16.10.2003)

PCT

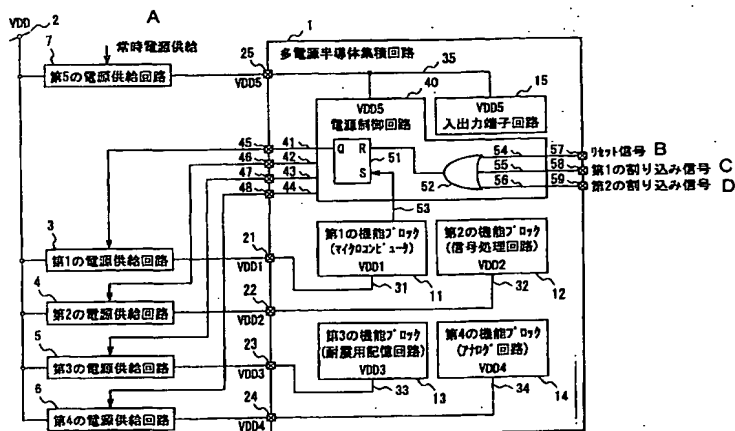
(10) 国際公開番号
WO 03/085501 A1

- (51) 国際特許分類: G06F 1/26, 1/32 (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒571-8501 大阪府 門真市 大字門真 1 0 0 6 番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP03/04319
- (22) 国際出願日: 2003 年 4 月 4 日 (04.04.2003)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2002-102330 2002 年 4 月 4 日 (04.04.2002) JP
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 谷口 一也 (TANIGUCHI, Kazuya) [JP/JP]; 〒571-0048 大阪府 門真市 新橋町 1-18 ロジュマン門真 212 Osaka (JP). 井口 直哉 (IGUCHI, Naoya) [JP/JP]; 〒525-0055 滋賀県 草津市 野路町 897-109 Shiga (JP). 相馬 康人 (SOMA, Yasuhito) [JP/JP]; 〒573-0052 大阪府 枚方市 枚方元町 6-20-313 Osaka (JP). 早川 久登

[続葉有]

(54) Title: MULTIPLE POWER SOURCE SEMICONDUCTOR INTEGRATED CIRCUIT

(54) 発明の名称: 多電源半導体集積回路



- A...CONSTANT POWER SUPPLY
7...FIFTH POWER SUPPLY CIRCUIT
3...FIRST POWER SUPPLY CIRCUIT
4...SECOND POWER SUPPLY CIRCUIT
5...THIRD POWER SUPPLY CIRCUIT
6...FOURTH POWER SUPPLY CIRCUIT
1...MULTIPLE POWER SOURCE SEMICONDUCTOR INTEGRATED CIRCUIT
40...POWER SOURCE CONTROL CIRCUIT
15...I/O TERMINAL CIRCUIT
B...RESET SIGNAL
C...FIRST INTERRUPT SIGNAL
D...SECOND INTERRUPT SIGNAL
11...FIRST FUNCTIONAL BLOCK (MICROCOMPUTER)
12...SECOND FUNCTIONAL BLOCK (SIGNAL PROCESSING CIRCUIT)
13...THIRD FUNCTIONAL BLOCK (EARTHQUAKE-PROOF STORAGE CIRCUIT)
14...FOURTH FUNCTIONAL BLOCK (ANALOG CIRCUIT)

(57) Abstract: The suppression of wasteful power consumption by stopping a power supply to an unused functional block in a multiple power source semiconductor integrated circuit manufactured by using a process of high leakage current. A multiple power source semiconductor integrated circuit (1) is provided with first to fourth functional blocks (11 to 14) for receiving a power supply from first to fourth power supply circuits (3 to 6), respectively, and a power source control circuit (40) for controlling a power supply by the first to fourth power supply circuits (3 to 6) on the basis of control by a microcomputer that is the first functional block (11). The power source control circuit (40) stops the power supplies of the first to fourth functional blocks (11 to 14) when receiving predetermined data from the functional block (11) and restarts a power supply when receiving first and second interrupt signals (55 and 56) from outside.

(57) 要約: リーク電流が大きいプロセスを用いて製造する多電源半導体集積回路において、使用していない機能ブロックに対する電源供給を停止して、無駄な電力消費を抑制する。多電源半導体集積回路(1)に、各々第1～第4の電源供給回路(3)～(6)より電源の供給

を受ける第1～第4の機能ブロック(11)～(14)と、第1の機能ブロック(11)であるマイクロコンピュータの制御に基づいて、第1～第4の電源供給回路(3)～(6)による電源供給

[続葉有]



(HAYAKAWA, Hisato) [JP/JP]; 〒520-2331 滋賀県 野洲
郡 野洲町小篠原 1 9 7 1-2-4 0 6 Shiga (JP).

(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, BG, CH, CY,
CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC,
NL, PT, RO, SE, SI, SK, TR).

(74) 代理人: 早瀬 憲一 (HAYASE, Kenichi); 〒532-0003 大
阪府 大阪市 淀川区宮原 3 丁目 4 番 3 0 号 ニッセイ
新大阪ビル 1 3 階 早瀬特許事務所 Osaka (JP).

添付公開書類:
— 国際調査報告書

(81) 指定国 (国内): CN, JP, US.

2 文字コード及び他の略語については、定期発行される
各 PCT ガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

給を制御する電源制御回路(40)と、を設け、電源制御回路(40)は、第1の機能ブロック(11)から所定のデータを受信したときに、第1～第4の機能ブロック(11)～(14)の電源供給を停止し、外部からの第1,第2の割り込み信号(55),(56)を受信したときに、電源供給を再開するようにした。

明 細 書

多電源半導体集積回路

5 技術分野

本発明は、多電源半導体集積回路の省電力化に関するものであり、更に詳しく述べれば、複数の機能ブロックを集積した多電源半導体集積回路の電源供給制御に関するものである。

近年、ポータブルコンパクトディスクプレーヤ（以下、CDプレーヤ）や、ポータブルミニディスクプレーヤなどの携帯用電子機器が広く普及している。これらの電子機器は、多くの場合、たとえば、コンパクトディスクからデータを読み出し、音声信号に変換して出力するなど、機器の特徴的な機能を実現する半導体集積回路である信号処理LSIと、この信号処理LSIを制御する汎用的な半導体集積回路であるマイクロコンピュータと、を備えている。

15 信号処理LSI、およびマイクロコンピュータの特徴を整理すると、以下のようになる。

信号処理LSIは、動作時の消費電力が小さいことが要求される。なぜなら、信号処理LSIが電池により駆動するものである場合、動作時の消費電力が小さいほど、電池1本あたりの動作時間（CDプレーヤの場合、音声再生時間）が長くなるためである。このため、信号処理LSIは、動作電圧を低くできるLow-V_t（V_tは、しきい値電圧の略）プロセスを用いて製造している。Low-V_tプロセスは、動作電圧を下げることができる反面、漏れ電流が大きくなってしまいうプロセスであるため、Low-V_tプロセスによる信号処理LSIは、使用しない場合、電源を切ることにより漏れ電流を抑え、電池の消耗を防ぐ工夫がなされている。また、信号処理LSIは、周辺回路とのインターフェイス回路の駆動電圧（高電圧駆動）と、内部回路の駆動電圧（低電圧駆動）とを分けた、多電源半導体集積回路とされており、内部回路の駆動電圧をできる限り低くすることにより、動作時の消費電力を下げている。

これに対し、マイクロコンピュータは、電子機器に対するユーザからの指示を

受け付けることが必要なため、電源を常時入れておく使い方が一般的である。このため、漏れ電流が少ないHigh-Vtプロセスを使って製造している。

また、携帯用電子機器の小型化に伴い、複数の機能ブロックをひとつの半導体集積回路に集積する取り組みもなされている。機能ブロックごとに要求される駆動電圧が違う場合も多く、駆動電圧の異なる複数の機能ブロックをひとつの半導体集積回路に集積することで、更なる半導体集積回路の多電源化が進んでいる。

第13図は、従来の多電源半導体集積回路と該多電源半導体集積回路に対する電源供給回路を示すブロック図である。図において、1gは当該多電源半導体集積回路、2は主電源、3～7は任意の電源電圧を供給するDC/DCコンバータと電源供給スイッチとを備えた第1～第5の電源供給回路、VDD1～VDD5は任意の電源電圧、11～14は多電源半導体集積回路1gに内蔵された第1～第4の機能ブロック、15は多電源半導体集積回路1gの入出力端子回路、21～25は多電源半導体集積回路1gに供給される各電源電圧VDD1～VDD5を受ける外部電源端子、31～35は多電源半導体集積回路1gの内部電源配線を示している。

第13図には、第1の機能ブロック11がシステム制御用のマイクロコンピュータ、第2の機能ブロック12が信号処理回路、第3の機能ブロック13が耐震用記憶回路、第4の機能ブロック14がアナログ回路である例を示している。また、各電源供給回路3～7において内蔵の電源供給スイッチは常にONで、常時電源供給状態にある。

次に、このように構成される従来の多電源半導体集積回路1gの動作について説明する。

主電源2が投入されると、各電源供給回路3～7は主電源2より供給を受けた電源電圧を任意の各電源電圧VDD1～VDD5に変圧して、多電源半導体集積回路1gに供給する。多電源半導体集積回路1gは、各電源供給回路3～7より供給される電源電圧VDD1～VDD5を、各外部電源端子21～25で受ける。各外部電源端子21～25で供給を受けた電源は、各内部電源配線31～35を介して各機能ブロック11～14と入力端子回路15とに供給され、各機能ブロック11～14、および入出力端子回路15は、所定の機能を実現するための処

理を実行する。

なお、各電源供給回路 3～7 は、各外部電源端子 21～25 を介して常に各機能ブロック 11～15 に電源を供給しており、たとえ、機能ブロック 11～14 が使用されていない場合においても電源の供給は継続されている。

- 5 従来の多電源半導体集積回路は以上のように構成されているため、各機能ブロックには、それが使用されているとしないにかかわらず常に電源が供給される。従来は、マイクロコンピュータの HALT モードに代表されるようにクロック発振を停止することにより無駄な電力消費を抑えていたが、近年の超微細化加工と高集積化技術の発達により、定常状態で流れる静止電源電流が消費電力に与える
- 10 影響を無視できなくなってきた。

- 複数の機能ブロックを、一つの半導体上に集積した場合、仮に、機能ブロックごとに電源供給を停止することができるようにしたとしても、信号処理回路とマイクロコンピュータとでは、製造プロセスに求める特性が異なるため、同一プロセスで製造することで、消費電力が増加してしまう。例えば、動作時の消費電力
- 15 を下げるために Low-V_t プロセスで製造すると、常時電源を供給するマイクロコンピュータの漏れ電流、すなわち、第 1 の機能ブロック 11 の漏れ電流が大きい、という問題が生じる。この漏れ電流を小さくするために High-V_t プロセスを適用すると、動作電圧を下げることができなくなり、動作時の消費電流が大きくなってしまう。

- 20 本発明は、上記のような問題点を解消するためのもので、使用されていない機能ブロックに対する電源供給を停止して、無駄な電力消費を抑えることのできる、信号処理を行う機能ブロックとマイクロコンピュータとを集積した多電源半導体集積回路を提供することを目的とする。

25 発明の開示

上記の課題を解決するために、本発明の請求の範囲第 1 項に係る多電源半導体集積回路は、各々異なる電源供給回路より電源の供給を受ける複数の機能ブロックと、上記複数の機能ブロックに対する電源供給を制御する、上記複数の機能ブロックのうちの一つであるマイクロコンピュータと、上記マイクロコンピュータ

の制御に基づいて、上記電源供給回路による電源供給を制御する電源制御回路と、を備えたもの、としたものである。

5 本発明の請求の範囲第2項に係る多電源半導体集積回路は、請求の範囲第1項に記載の多電源半導体集積回路において、上記電源制御回路は、上記マイクロコンピュータから所定のデータを受信したときに、上記電源供給回路による上記マイクロコンピュータに対する電源供給を停止し、外部からの割り込み信号を受信したときに、上記電源供給回路による上記マイクロコンピュータに対する電源供給を再開するもの、としたものである。

10 本発明の請求の範囲第3項に係る多電源半導体集積回路は、請求の範囲第1項または請求の範囲第2項に記載の多電源半導体集積回路において、上記電源制御回路は、上記割り込み信号を記憶するレジスタを備え、上記マイクロコンピュータは、電源供給再開後に上記レジスタに記憶された割り込み信号の内容を検知するもの、としたものである。

15 本発明の請求の範囲第4項に係る多電源半導体集積回路は、請求の範囲第1項ないし請求の範囲第3項のいずれかに記載の多電源半導体集積回路において、上記電源制御回路は、上記複数の電源供給回路による電源供給を停止させるときに、当該電源供給回路に対し電源遮断信号を出力するものであり、上記各機能ブロック、および上記電源制御回路は、電源供給停止状態の回路からの入力論理を、上記電源遮断信号に従い「L」レベルまたは「H」レベルに固定するブロック間信号
20 号固定回路を備えたもの、としたものである。

本発明の請求の範囲第5項に係る多電源半導体集積回路は、請求の範囲第1項ないし請求の範囲第4項のいずれかに記載の多電源半導体集積回路において、上記電源制御回路は、上記複数の電源供給回路による電源供給を停止させるときに、当該電源供給回路に対し電源遮断信号を出力するものであり、上記各機能ブロック、および上記電源制御回路は、電源供給停止状態の回路への出力論理を、上記電源遮断信号に従い「L」レベルに固定するブロック間信号固定回路を備えたもの、としたものである。

本発明の請求の範囲第6項に係る多電源半導体集積回路は、請求の範囲第1項ないし請求の範囲第5項のいずれかに記載の多電源半導体集積回路において、常

時電源が供給され、上記各機能ブロックの電源供給停止中にシステム情報を保持する記憶手段を備えたもの、としたものである。

5 本発明の請求の範囲第7項に係る多電源半導体集積回路は、請求の範囲第1項ないし請求の範囲第6項のいずれかに記載の多電源半導体集積回路において、外部との信号の授受を行う入出力端子回路を備え、上記電源制御回路と、上記入出力端子回路とは、共通の電源供給回路より供給される電源で動作するもの、としたものである。

10 本発明の請求の範囲第8項に係る多電源半導体集積回路は、請求の範囲第1項ないし請求の範囲第6項のいずれかに記載の多電源半導体集積回路において、上記電源制御回路は、上記複数の電源供給回路に供給する電源で動作し、上記複数の電源供給回路のすべてによる電源供給を停止させる全電源遮断信号を出力するもの、としたものである。

15 以上のように、本発明の請求の範囲第1項に係る多電源半導体集積回路によれば、各々異なる電源供給回路より電源の供給を受ける複数の機能ブロックと、上記複数の機能ブロックに対する電源供給を制御する、上記複数の機能ブロックのうちの一つであるマイクロコンピュータと、上記マイクロコンピュータの制御に基づいて、上記電源供給回路による電源供給を制御する電源制御回路と、を備えたもの、としたので、上記複数の電源供給回路を、上記電源制御回路を介して上記マイクロコンピュータが制御することにより、システム動作の中で必要に応じて上記各機能ブロックの電源制御を行うことが可能であり、無駄な電力消費を抑制することができる。

25 本発明の請求の範囲第2項に係る多電源半導体集積回路によれば、請求の範囲第1項に記載の多電源半導体集積回路において、上記電源制御回路は、上記マイクロコンピュータから所定のデータを受信したときに、上記電源供給回路による上記マイクロコンピュータに対する電源供給を停止し、外部からの割り込み信号を受信したときに、上記電源供給回路による上記マイクロコンピュータに対する電源供給を再開するもの、としたので、上記複数の電源供給回路を、上記電源制御回路を介して上記マイクロコンピュータが制御することにより、上記マイクロコンピュータの電源制御を行うことが可能であり、無駄な電力消費を抑制するこ

とができる。

本発明の請求の範囲第3項に係る多電源半導体集積回路によれば、請求の範囲第1項または請求の範囲第2項に記載の多電源半導体集積回路において、上記電源制御回路は、上記割り込み信号を記憶するレジスタを備え、上記マイクロコン

5 ピュータは、電源供給再開後に上記レジスタに記憶された割り込み信号の内容を検知するもの、としたので、電源供給が再開されたとき、システムの状態を上記マイクロコンピュータが確認することが可能となる。

本発明の請求の範囲第4項に係る多電源半導体集積回路によれば、請求の範囲第1項ないし請求の範囲第3項のいずれかに記載の多電源半導体集積回路において、上記電源制御回路は、上記複数の電源供給回路による電源供給を停止させる

10 ときに、当該電源供給回路に対し電源遮断信号を出力するものであり、上記各機能ブロック、および上記電源制御回路は、電源供給停止状態の回路からの入力論理を、上記電源遮断信号に従い「L」レベルまたは「H」レベルに固定するブロック間信号固定回路を備えたもの、としたので、電源供給停止中の回路から出力

15 される中間電位の信号により、受け側の回路で貫通電流が流れるのを防ぎ、無駄な電力消費を抑制することが可能である。

本発明の請求の範囲第5項に係る多電源半導体集積回路によれば、請求の範囲第1項ないし請求の範囲第4項のいずれかに記載の多電源半導体集積回路において、上記電源制御回路は、上記複数の電源供給回路による電源供給を停止させる

20 ときに、当該電源供給回路に対し電源遮断信号を出力するものであり、上記各機能ブロック、および上記電源制御回路は、電源供給停止状態の回路への出力論理を、上記電源遮断信号に従い「L」レベルに固定するブロック間信号固定回路を備えたもの、としたので、電力供給停止中の回路に出力する信号を、「L」レベルに固定することで、受け側回路のPチャンネルトランジスタの特性劣化を防ぐこ

25 とができる。

本発明の請求の範囲第6項に係る多電源半導体集積回路によれば、請求の範囲第1項ないし請求の範囲第5項のいずれかに記載の多電源半導体集積回路において、常時電源が供給され、上記各機能ブロックの電源供給停止中にシステム情報を保持する記憶手段を備えたもの、としたので、上記マイクロコンピュータの電

源供給停止直前の状態を上記記憶回路に記憶させ、電源供給再開時に該記憶させた情報を読み出すことで、電源供給停止直前の状態から処理を再開することが可能である。

- 本発明の請求の範囲第7項に係る多電源半導体集積回路によれば、請求の範囲
- 5 第1項ないし請求の範囲第6項のいずれかに記載の多電源半導体集積回路において、外部との信号の授受を行う入出力端子回路を備え、上記電源制御回路と、上記入出力端子回路とは、共通の電源供給回路より供給される電源で動作するもの、としたので、上記マイクロコンピュータの電源を遮断した状態でも上記入出力端子回路の状態を保持することが可能となる。
- 10 本発明の請求の範囲第8項に係る多電源半導体集積回路によれば、請求の範囲第1項ないし請求の範囲第6項のいずれかに記載の多電源半導体集積回路において、上記電源制御回路は、上記複数の電源供給回路に供給する電源で動作し、上記複数の電源供給回路のすべてによる電源供給を停止させる全電源遮断信号を出力するもの、としたので、待機時に上記電源供給回路で消費される電力をなくす
- 15 ることができる。

図面の簡単な説明

- 第1図は、本発明の実施の形態1に係る多電源半導体集積回路、および該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。
- 20 第2図は、本発明の実施の形態1に係る多電源半導体集積回路における電源制御と電源供給状態の関係を示す説明図である。
- 第3図は、本発明の実施の形態2に係る多電源半導体集積回路、および該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。
- 第4図は、本発明の実施の形態3に係る多電源半導体集積回路の要部、および
- 25 該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。
- 第5図は、本発明の実施の形態3に係る多電源半導体集積回路の機能説明図である。
- 第6図は、本発明の実施の形態4に係る多電源半導体集積回路の要部、および該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。

第7図は、本発明の実施の形態4に係る多電源半導体集積回路の機能説明図である。

第8図は、本発明の実施の形態5に係る多電源半導体集積回路、および該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。

5 第9図は、本発明の実施の形態6に係る多電源半導体集積回路の要部、および該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。

第10図は、本発明の実施の形態6に係る多電源半導体集積回路の、電源供給を停止する際の処理手順を示すフローチャートである。

10 第11図は、本発明の実施の形態6に係る多電源半導体集積回路の、電源供給を開始する際の処理手順を示すフローチャートである。

第12図は、本発明の実施の形態7に係る多電源半導体集積回路、および該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。

第13図は、従来の多電源半導体集積回路、および該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。

15

発明を実施するための最良の形態

以下、本発明の実施形態について、図面を参照しながら説明する。第1図～第12図は、本発明の実施形態に係る多電源半導体集積回路を説明する図である。なお、図中において同一または相当部分には同一符号を付し、その説明は繰り返さない。

20

(実施の形態1)

まず、本発明の請求の範囲第1項および請求の範囲第2項に記載の多電源半導体集積回路に対応する形態を、実施の形態1として、第1図、第2図を用いて説明する。

25 第1図は、本実施の形態1による多電源半導体集積回路、および該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。

第1図において、1は、多電源半導体集積回路、2は、主電源、3～7は、主電源2からの電源電圧を任意の電源電圧VDD1～VDD5に変圧して多電源半導体集積回路に供給する第1～第5の電源供給回路、11～14は、多電源半導

体集積回路 1 に内蔵された第 1 ～第 4 の機能ブロック、15 は、多電源半導体集積回路 1 の外部との信号の授受を行う入出力端子回路、21 ～25 は、多電源半導体集積回路 1 に電源電圧 VDD 1 ～VDD 5 を供給するための第 1 ～第 5 の外部電源端子、31 ～35 は、第 1 ～第 5 の内部電源配線、40 は各機能ブロック 11 ～14 への電源供給を制御する電源制御回路、41 ～44 は、第 1 ～第 4 の電源供給回路 3 ～6 による電源供給および電源供給の停止を制御するために電源制御回路 40 より出力される第 1 ～第 4 の電源遮断信号、45 ～48 は、各電源遮断信号 41 ～44 を多電源半導体集積回路 1 より出力する第 1 ～第 4 の外部出力端子、51 は、電源遮断信号を保持する RS ラッチ回路、52 は、RS ラッチ回路 51 に対するリセット信号を発生する 3 入力 OR 回路、53 は、電源供給の停止を指示する制御信号、54 は、多電源半導体集積回路 1 を初期化させるリセット信号、55、56 は、キー操作等により生成され、電源供給を開始させるための割り込み信号、57 ～59 は、外部入力端子を示している。

電源制御回路 40 は、電源遮断信号を保持する RS ラッチ回路 51 と、電源供給を再開させるための 3 入力 OR 回路 52 とを備えている。RS ラッチ回路 51 は、Q ノード（出力ノード）に第 1 の電源遮断信号 41 が、S ノード（セットノード）には第 1 の機能ブロック 11（マイクロコンピュータ）からの制御信号 53 が、R ノード（リセットノード）には 3 入力 OR 回路 52 の出力が、それぞれ接続されている。また、3 入力 OR 回路の第 1 の入力には、外部入力端子 57 からのリセット信号 54 が、第 2 の入力には、外部入力端子 58 からの割り込み信号 55 が、第 3 の入力には、外部入力端子 59 からの割り込み信号 56 が、それぞれ接続されている。

なお、第 1 図においては、第 1 の機能ブロック 11 はシステム制御用のマイクロコンピュータであり、第 2 の機能ブロック 12 は信号処理回路であり、第 3 の機能ブロック 13 は耐震用記憶回路であり、第 4 の機能ブロック 14 はアナログ回路である例を示したが、本発明は多電源半導体集積回路 1 が有する機能ブロックの機能および数を限定するものではなく、第 2 の機能ブロック 12 ～第 4 の機能ブロック 14 は、機器の特徴的な機能を実現する信号処理回路であればよい。また、多電源半導体集積回路 1 は、各々任意の機能を有する任意の数の機能プロ

ックを有するものであってよい。

また、電源供給を再開させるために、第1および第2の割り込み信号55, 56の2本の割り込み信号を設けたが、割り込み信号の数は、1以上であればよい。

次に、以上のように構成される多電源半導体集積回路1の動作について説明す

5 る。

主電源2が投入されると、第5の電源供給回路7は、主電源2より供給を受けた電源電圧を任意の電源電圧VDD5に変圧して、多電源半導体集積回路1に供給する。また、第1の電源供給回路3は、主電源2より供給される電源電圧を電源電圧VDD1に変圧して、多電源半導体集積回路1より出力される電源遮断信号41に従い供給する。同様に、第2の電源供給回路4は、主電源2より供給される電源電圧を電源電圧VDD2に変圧して、電源遮断信号42に従い供給し、第3の電源供給回路5は、主電源2より供給される電源電圧を電源電圧VDD3に変圧して、電源遮断信号43に従い供給し、第4の電源供給回路6は、主電源2より供給される電源電圧を電源電圧VDD4に変圧して、電源遮断信号44に従い供給する。多電源半導体集積回路1は、第1の電源供給回路3より供給される電源電圧VDD1を第1の外部電源端子21で受ける。同様に、第2の電源供給回路4より供給される電源電圧VDD2を第2の外部電源端子22で、第3の電源供給回路5より供給される電源電圧VDD3を第3の外部電源端子23で、第4の電源供給回路6より供給される電源電圧VDD4を第4の外部電源端子24で、それぞれ受ける。

第5の外部電源端子25で受けた電源は、第5の内部電源配線35を介して、入力端子回路15と電源制御回路40とに供給され、第1の外部電源端子21で供給を受けた電源は、第1の内部電源配線31を介して第1の機能ブロック11に供給される。同様に、第2の外部電源端子22で供給を受けた電源は、第2の内部電源配線32を介して第2の機能ブロック12に供給され、第3の外部電源端子23で供給を受けた電源は、第3の内部電源配線33を介して第3の機能ブロック13に供給され、第4の外部電源端子24で供給を受けた電源は、第4の内部電源配線34を介して第4の機能ブロック14に供給される。

電源制御回路40は、システム全体を制御する第1の機能ブロック11（マイ

クロコンピュータ)より出力される制御信号53により、電源供給を停止する。
この電源制御回路40の動作について、図面を用いて、詳細に説明する。

- 第2図は、制御信号53、リセット信号54、第1の割り込み信号55、第2の割り込み信号56の状態、および第1の機能ブロック11に対する電源供給の状態を示す説明図である。第2図において、横軸は、期間(a)～(f)までの時間経過を示している。また、第1の機能ブロックの電源状態において、「1」は電源供給中を、「0」は電源供給停止中を示し、第1の電源遮断信号41が「H」レベルのとき第1の電源供給回路3は電源供給を停止し、「L」レベルのときに電源を供給するものとする。
- 10 リセット信号54がリセット状態(「H」レベル)の時(期間(a))、RSラッチ回路51は「L」レベルに設定され、以降、リセット信号54のレベルによらず「L」レベルを保持し続ける。このため、第1の電源遮断信号41は「L」レベルとなり、第1の電源供給回路3は第1の機能ブロック11への電源供給を開始する。
- 15 制御信号53が「H」レベルの時(期間(b)、(d)、(f))、RSラッチ回路51は「H」レベルに設定され、以降、制御信号53のレベルによらず「H」を保持し続ける。このため、第1の電源遮断信号41は「H」レベルとなり、第1の電源供給回路3は第1の機能ブロック11への電源供給を停止する。
- 20 また、第1の割り込み信号55が「H」レベルの時(期間(c))、および第2の割り込み信号56が「H」レベルの時(期間(e))、RSラッチ回路51は「L」レベルに設定され、以降、第1の割り込み信号55のレベルによらず「L」レベルを保持し続ける。このため、第1の電源遮断信号41は「L」レベルとなり、第1の電源供給回路3は第1の機能ブロック11への電源供給を開始する。
- 25 以上のように、本実施の形態1による多電源半導体集積回路1においては、各々第1～第4の電源供給回路3～6より電源の供給を受ける第1～第4の機能ブロック11～14と、第1の機能ブロック11であるマイクロコンピュータの制御に基づいて、第1～第4の電源供給回路3～6による電源供給を制御する電源制御回路40と、を備え、電源制御回路40は、第1の機能ブロック11から所定のデータを受信したときに、マイクロコンピュータ自身を含めた各機能ブロック

の電源供給を停止し、外部からの第1の割り込み信号55あるいは第2の割り込み信号56を受信したときに、電源供給を再開するようにしたので、システム動作の中で必要に応じて各機能ブロックの電源制御を行うことが可能であり、動作していない機能ブロックに対する電源供給を停止することにより、無駄な電力消費を抑制することができる。このため、例えば、多電源半導体集積回路1が携帯用電子機器に搭載されている場合、当該携帯用電子機器が使用されていない場合、システム制御用のマイクロコンピュータを含めた、各機能ブロックへの電源供給を停止して、次のキー操作（割り込み制御）を待つ（待機状態にあるようにする）ことが可能となり、待機状態の電力消費を抑制することができる。

10 （実施の形態2）

次に、本発明の請求の範囲第3項に記載の多電源半導体集積回路に対応する形態を、実施の形態2として、第3図を用いて説明する。

第3図は、本実施の形態2による多電源半導体集積回路、および該多電源半導体集積回路に対する電源供給回路の構成を示すブロック図である。なお、第3図において、第1図と同一または相当する部分には、同一符号を付して、詳細な説明を省略する。

本実施の形態2による多電源半導体装置1aは、電源制御回路40aに、第1の割り込み信号（第3図には、第1の電源復帰信号と記す）55のデータを保持するレジスタ61、および第2の割り込み信号（第3図には、第2の電源復帰信号と記す）56のデータを保持するレジスタ62を設け、レジスタ61と第1の機能ブロック11とを内部信号63にて、レジスタ62と第1の機能ブロック11とを内部信号64にて、それぞれ接続したものである。

次に、以上のように構成される多電源半導体集積回路1aの動作について説明する。

第1～第4の機能ブロック11～14に対する電源供給が停止しているとき（各機能ブロックが待機状態にあるとき）に、第1の割り込み信号55あるいは第2の割り込み信号56により電源供給が再開されると、レジスタ61、62は、第1および第2の割り込み信号55、56のデータを保持する。電源供給が再開されると、第1の機能ブロック11は、内部信号63、64を介して内部レジス

タ 6 1, 6 2 に保持されたデータを取得し、割り込み制御の内容を確認する。

以上のように、本実施の形態 2 による多電源半導体集積回路 1 a によれば、電源制御回路 4 0 a に、割り込み信号 5 5 のデータを保持するレジスタ 6 1、および割り込み信号 5 6 のデータを保持するレジスタ 6 2 を設け、レジスタ 6 1 と第

- 5 1 の機能ブロック 1 1 とを内部信号 6 3 にて、レジスタ 6 2 と第 1 の機能ブロック 1 1 とを内部信号 6 4 にて、それぞれ接続したので、電源供給が停止されている待機状態から、何らかのキー操作（割り込み制御）により待機状態が解除され、第 1 ～第 4 の機能ブロック 1 1 ～1 4 に電源供給が再開されると、第 1 の機能ブロック 1 1 は、レジスタ 6 1, 6 2 に保持されたデータを確認することで、キー
- 10 操作の内容を確認し、当該キー操作に基づき、所定の動作を行うことができる。

（実施の形態 3）

次に、本発明の請求の範囲第 4 項に記載の多電源半導体集積回路に対応する形態を、実施の形態 3 として、第 4 図、第 5 図を用いて説明する。

- 第 4 図は、本実施の形態 3 による多電源半導体集積回路 1 b の要部、および該
- 15 多電源半導体集積回路 1 b に対する電源供給回路の構成を示すブロック図である。
- なお、第 4 図、第 5 図において、第 1 図と同一または相当する部分には、同一符号を付して、詳細な説明を省略する。

- 本実施の形態 3 による多電源半導体装置 1 b は、第 2 の機能ブロック 1 2 に、
- 20 ブロック間信号 7 2 を生成する CMOS インバータ回路 7 4 を設け、第 1 の機能ブロック 1 1 に、第 2 の機能ブロック 1 2 が電源供給停止状態であるときに、該第 2 の機能ブロック 1 2 からのブロック間信号 7 2 を固定するために、電源遮断信号 4 2 と第 2 の機能ブロック 1 2 からのブロック間信号 7 2 との論理和を内部信号 7 3 に出力する 2 入力 OR 回路 7 1 を設けたものである。

- 第 1 の機能ブロック 1 1 に設けられた 2 入力 OR 回路 7 1 は、第 1 ～第 3 の p
- 25 型 MOS トランジスタ TP 1 1 ～TP 1 3 と第 1 ～第 3 の n 型 MOS トランジスタ TN 1 1 ～TN 1 3 とで構成されている。第 1 の p 型 MOS トランジスタ TP 1 1 と第 1 の n 型 MOS トランジスタ TN 1 1 との各々のゲート電極は互いに接続されて、ブロック間信号 7 2 を受け取るための入力端子を構成している。第 2 の p 型 MOS トランジスタ TP 1 2 と第 2 の n 型 MOS トランジスタ TN 1 2 と

の各々のゲート電極は互いに接続されて、電源遮断信号42を受け取るための入力端子を構成している。第1のp型MOSトランジスタTP11のドレイン電極と、第1及び第2のn型MOSトランジスタTN11, TN12の各々のドレイン電極とは、第3のp型MOSトランジスタTP13と第3のn型MOSトランジスタTN13との各々のゲート電極に接続される。第1のp型MOSトランジスタTP11のソース電極は第2のp型MOSトランジスタTP12のドレイン電極に接続され、第2のp型MOSトランジスタTP12のソース電極は第1の内部電源配線31に接続され、電源電圧VDD1が供給される。第1及び第2のn型MOSトランジスタTN11, TN12のソース電極は接地線GNDに接続されている。第3のp型MOSトランジスタTP13のソース電極は第1の内部電源配線31に接続され、電源電圧VDD1が供給されている。第3のn型MOSトランジスタTN13のソース電極は、接地線GNDに接続されている。第3のp型MOSトランジスタTP13のドレイン電極と、第3のn型MOSトランジスタTN13のドレイン電極とは、第1の機能ブロック11へ内部信号73を供給するための出力端子を構成している。

第2の機能ブロック12に設けられたCMOSインバータ回路74は、第4のp型MOSトランジスタTP14と第4のn型MOSトランジスタTN14とにより構成され、その出力はブロック間信号72に接続されている。第4のp型MOSトランジスタTP14と第4のn型MOSトランジスタTN14との各々のゲート電極は互いに接続されて、入力を受け取るための入力端子を構成している。第4のp型MOSトランジスタTP14のソース電極は、第2の内部電源配線32に接続され、電源電圧VDD2が供給される。第4のn型MOSトランジスタTN14のソース電極は、接地線GNDに接続される。第4のp型MOSトランジスタTP14のドレイン電極と第4のn型MOSトランジスタTN14のドレイン電極とは互いに接続されて、ブロック間信号72を供給するための出力端子を構成している。

次に、以上のように構成される多電源半導体集積回路1bの、電源供給停止中の動作について説明する。

第5図は、電源遮断信号42を「H」レベルに固定して、第2の機能ブロック

1 2 への電源供給を停止したときの動作を示すものである。

この場合、第2の機能ブロック12に内蔵されたインバータ回路74は電源供給を断たれることにより、第2の内部電源配線32の残留電荷に基づき不定レベル（中間電位）を出力する。また、第1の機能ブロック11に内蔵の2入力OR回路を構成する第2のp型MOSトランジスタTP12がOFFとなる。これにより、第1のp型MOSトランジスタTP11への電源供給が断たれ、入力信号72を介する不定論理（中間電位）の伝搬が回避される。また、第2のn型MOSトランジスタTN12をONにすることで、第3のp型MOSトランジスタTP13と第3のn型MOSトランジスタTN13との各々のゲート電極に「L」レベルを供給し、第3のp型MOSトランジスタはON状態に、第3のn型MOSトランジスタはOFF状態となり、出力信号は「H」レベルに固定される。

以上のように、本実施の形態3による多電源半導体集積回路1bによれば、電源遮断信号42に従い第2の機能ブロック12への電源供給が停止した場合、第2の機能ブロック12より第1の機能ブロック11への入力論理を「H」レベルに固定するようにしたので、第2の機能ブロック12が電源供給停止状態であるときに該第2の機能ブロック12からの不定論理の伝搬と、中間電位がゲート電極に入力されることによる貫通電流の発生を回避することができる。

なお、本実施の形態3においては、第2の機能ブロック12に、CMOSインバータ回路74を設け、第1の機能ブロック11に、2入力OR回路71を設けた場合について説明したが、第1の機能ブロック11～第4の機能ブロック14、入出力端子回路15、および電源制御回路40の、出力段に、内部信号を生成するCMOSインバータ回路を設け、入力段に、電源遮断信号と該次段の機能ブロックからのブロック間信号との論理和を内部信号に出力する2入力OR回路を設けてもよい。これにより、第1の機能ブロック11～第4の機能ブロック14、入出力端子回路15、および電源制御回路40において、次段に接続されている機能ブロックが電源供給停止状態であるときに、該次段の機能ブロックからの不定論理の伝搬と、中間電位がゲート電極に入力されることによる貫通電流の発生を回避することができる。

（実施の形態4）

次に、本発明の請求の範囲第5項に記載の多電源半導体集積回路に対応する形態を、実施の形態4として、第6図、第7図を用いて説明する。

第6図は、本実施の形態4による多電源半導体集積回路1cの要部、および該多電源半導体集積回路1cに対する電源供給回路の構成を示すブロック図である。

- 5 なお、第6図、第7図において、第4図と同一または相当する部分には、同一符号を付して、詳細な説明を省略する。

- 10 本実施の形態4による多電源半導体装置1cは、第1の機能ブロック11に、第1のインバータ回路81と、第2の機能ブロック12が電源供給停止状態であるときに該第2の機能ブロック12に対するブロック間信号84を「L」レベルに固定するために、第1のインバータ回路81の出力および電源遮断信号42の否定論理和をブロック間信号84に出力する2入力NOR回路82と、を設け、第2の機能ブロック12に、第1の機能ブロック11からのブロック間信号84が入力される第2のインバータ回路86を設けたものである。

- 15 第1の機能ブロック11に設けられた第1のインバータ回路81の入力ノードは内部信号83に、出力ノードは2入力NOR回路82の第2の入力に、それぞれ接続されている。この第1のインバータ回路は、第1のp型MOSトランジスタTP21と、第1のn型MOSトランジスタTN21とで構成されている。第1のp型MOSトランジスタTP21と第1のn型MOSトランジスタTN21との各々のゲート電極は互いに接続されて、内部信号83を受け取るための入力端子を構成している。第1のp型MOSトランジスタTP21のソース電極は第1の内部電源配線31に接続され、電源電圧VDD1が供給される。第1のn型MOSトランジスタTN21のソース電極は、接地線GNDに接続される。第1のp型MOSトランジスタTP21のドレイン電極と第1のn型MOSトランジスタTN21のドレイン電極とは互いに接続されて、2入力NOR回路82の第1の入力に接続される。また、2入力NOR回路82の第2の入力は電源遮断信号42に、出力はブロック間信号84に、それぞれ接続されている。この2入力NOR回路82は第2および第3のp型MOSトランジスタTP22, TP23と、第2および第3のn型MOSトランジスタTN22, TN23と、で構成されている。第2のp型MOSトランジスタTP22と第2のn型MOSトランジ
- 20
- 25

スタTN22との各々のゲート電極は互いに接続されて、第1のインバータ回路81の出力を受け取るための入力端子を構成している。第3のp型MOSトランジスタTP23と第3のn型MOSトランジスタTN23との各々のゲート電極は互いに接続されて、電源遮断信号42を受け取るための入力端子を構成している。第2のp型MOSトランジスタTP22のドレイン電極と、第2および第3のn型MOSトランジスタTN22, TN23の各々のドレイン電極とは、ブロック間信号84を出力するための出力端子を構成している。第2のp型MOSトランジスタTP22のソース電極は、第3のp型MOSトランジスタTP23のドレイン電極に接続され、第3のp型MOSトランジスタTP23のソース電極は、第1の内部電源配線31に接続され、電源電圧VDD1が供給される。第1および第2のn型MOSトランジスタTN22, TN23のソース電極は接地線GNDに接続されている。

また、第2の機能ブロック12に設けられた第2のインバータ回路86の入力は、ブロック間信号84に接続されている。この、第2のインバータ回路は第4のp型MOSトランジスタTP24と、第4のn型MOSトランジスタTN24とで構成されている。第4のp型MOSトランジスタTP24と第4のn型MOSトランジスタTN24との各々のゲート電極は互いに接続されて、2入力NOR回路82の出力信号を受け取るための入力端子を構成している。第1のp型MOSトランジスタTP24のソース電極はVDD2に接続され、第1のn型MOSトランジスタTN24のソース電極は接地線GNDに接続される。第1のp型MOSトランジスタTP24のドレイン電極と第1のn型MOSトランジスタTN24のドレイン電極とは互いに接続されて出力端子を構成している。

次に、以上のように構成される多電源半導体集積回路1cの、電源供給停止中の動作について説明する。

第7図は、電源遮断信号42を「H」レベルに固定して、第2の機能ブロック12への電源供給を停止したときの動作を示すものである。

この場合、第1の機能ブロック11に内蔵された2入力NOR回路82を構成する第3のp型MOSトランジスタTP23はOFF状態となり、第3のn型MOSトランジスタTN23はON状態となる。

以上のように、本実施の形態4による多電源半導体集積回路1cによれば、電源遮断信号42に従い第2の機能ブロック12への電源供給が停止した場合、第2の機能ブロック12に対するブロック間信号84が「L」レベルに固定されるようにしたので、第2の機能ブロック12に内蔵の第2のインバータ回路には、

- 5 電源供給停止中には「L」レベルの信号が供給され、電源供給停止状態におけるp型MOSトランジスタのゲート電極に、長時間「H」レベルの電圧を印加することによるp型MOSトランジスタの特性劣化を回避することができる。

- なお、本実施の形態4においては、第1の機能ブロック11に、第1のインバータ回路81と2入力NOR回路82とを設け、第2の機能ブロック12に、第2のインバータ回路86を設けた場合について説明したが、第1の機能ブロック11～第4の機能ブロック14、入出力端子回路15、および電源制御回路40の、出力段に、インバータ回路と、該インバータ回路の出力および電源遮断信号の否定論理和をブロック間信号に出力する2入力NOR回路と、を設け、入力段に、前段に接続されている機能ブロックからのブロック間信号が入力されるイン
- 10
- 15
- 20 バータ回路を設けてもよい。これにより、第1の機能ブロック11～第4の機能ブロック14、入出力端子回路15、および電源制御回路40が、電源供給停止状態であるときに、次段に接続されている機能ブロックに「L」レベルの信号が供給され、電源供給停止状態におけるp型MOSトランジスタのゲート電極に、長時間「H」レベルの電圧を印加することによるp型MOSトランジスタの特性劣化を回避することができる。

(実施の形態5)

次に、本発明の請求の範囲第6項に記載の多電源半導体集積回路に対応する形態を、実施の形態5として、第8図を用いて説明する。

- 第8図は、本実施の形態5による多電源半導体集積回路1d、および該多電源半導体集積回路1dに対する電源供給回路の構成を示すブロック図である。なお、第8図において、第1図と同一または相当する部分には、同一符号を付して、詳細な説明を省略する。
- 25

本実施の形態5による多電源半導体集積回路1dは、電源制御回路40dを、常時電源が供給されるようにしたうえで、該電源制御回路40dに第1の機能ブ

ロック 1 1 より、信号群 9 1 を介してデータの記録および読み出しを行うことが可能な記憶回路 9 0 を設けたものである。

- ここで、第 1 の機能ブロック 1 1 は、システム制御を行うマイクロコンピュータであり、電源供給の停止前に、システム操作に必要なデータ（キー操作、表示
- 5 設定、音量等の設定など）を、信号群 9 1 を介して記憶回路 9 0 に記録し、電源供給の再開直後に、記憶回路 9 0 に保持されているデータを読み出すようにされている。

次に、以上のように構成される多電源半導体集積回路 1 d の動作について説明する。

- 10 各機能ブロック 1 1 ～ 1 4 への電源供給は、実施の形態 1 ～ 3 のいずれかで説明したものと同様の方法で行われる。第 1 の機能ブロック 1 1 は、自身の電源供給を停止する前に、システム操作のデータ（キー操作、表示設定、音量等の設定）を、常時電源供給状態の記憶回路 9 0 に記録してから電源供給を停止する。全機能ブロック 1 1 ～ 1 4 に対する電源供給が停止されていても、記憶回路 9 0 には
- 15 常時電源が供給されるため、電源供給停止直前に記憶回路 9 0 に記録されたデータは失われることなく保持される。第 1 の機能ブロック 1 1 は、電源供給の再開直後に、記憶回路 9 0 に保持されているデータを読み出し、電源供給停止前の状態から処理を再開する。

- 以上のように、本実施の形態 5 による多電源半導体集積回路 1 d によれば、電
- 20 源制御回路 4 0 d を、常時電源が供給されるようにしたうえで、第 1 の機能ブロック 1 1 よりデータの記録および読み出しが可能な記憶回路 9 0 を設け、電源供給停止前に、システム操作に必要なデータを記憶回路 9 0 に記録して、電源供給停止中に該データを保持するようにしたので、電源供給再開後に、該保持されているデータを読み出すことにより、電源供給停止前の設定を繰り返し行う必要が
- 25 なくなる。

（実施の形態 6）

これまでに説明した実施の形態 1 ～ 5 による多電源半導体集積回路は、例えば第 1 図に示したように、電源制御回路 4 0 と入出力端子回路 1 5 とが、共通の電源を用いるようにしている。これは、信号処理回路とマイクロコンピュータとを

独立の半導体集積回路としたときと同じ機能を、本実施の形態の多電源半導体集積回路で実現する上で非常に重要な意味を持つ。従来のマイクロコンピュータは、常時電源が供給された状態で、外部からの制御を受け付けるのと同時に、周辺回路の制御を常時行う、という役目を果たしていた。このようなマイクロコンピュータを集積するにあたり、周辺回路を制御する入出力端子回路にも電源を常時供給することにより、少なくとも入出力端子の状態（入力、Hレベル出力、Lレベル出力）を保つことができ、周辺回路に対する制御信号が不定になることによる電子機器の動作不良を防ぐことができる。

以下、本発明の請求の範囲第7項に記載の多電源半導体集積回路に対応する形態を、実施の形態6として、第9図～第11図を用いて説明する。

第9図は、本実施の形態6による多電源半導体集積回路1eの要部、該多電源半導体集積回路1eに対する電源供給回路の構成を示すブロック図である。なお、第9図において、第2図と同一または相当する部分には、同一符号を付して、詳細な説明を省略する。

本実施の形態6による多電源半導体集積回路1eは、入出力端子回路15eに、外部の信号を受け取る入力端子100と、第1の機能ブロック11の電源21を遮断した際に「H」レベルを出力する第1の出力端子101と、第1の機能ブロックの電源21を遮断した際に「L」レベルを出力する第2の出力端子102と、を設けたものである。簡便のため、以下の説明では、入力端子100、第1の出力端子101、第2の出力端子102とも、1本ずつ設けられているものとして説明するが、それぞれ、0本または複数本設けられていてもよい。

入力端子100の出力103、第1の出力端子101の入力104、第2の出力端子102の入力105は、それぞれ、システム制御用のマイクロコンピュータである第1の機能ブロック11に接続されている。また、各端子には、電源制御回路40が出力する端子ホールド信号106が入力され、該入力された端子ホールド信号106に基づいて信号レベルを切り替える切り替え回路107～109が設けられている。

また、電源制御回路40eは、詳細な図示は省略したが、実施の形態2による電源制御回路40aのように、第1の割り込み信号55あるいは第2の割り込み

信号56が「H」レベルになると、RSラッチ回路51の出力である第1の電源遮断信号41が、「L」レベルとなり、電源供給を開始するようにされている。

また、入出力端子回路15eおよび電源制御回路40eには、第5の電源供給回路7にて主電源2を電源電圧VDD5に変圧したものが供給されている。

- 5 次に、以上のように構成される多電源半導体集積回路1eの動作について説明する。

まず、第1の機能ブロック11への電源供給を停止する際に、多電源半導体集積回路1eが行う処理手順を、第10図のフローチャートを参照しながら説明する。

- 10 第1の機能ブロック11の電源供給を停止するにあたり、第1の機能ブロック11は、第1の出力端子101の入力(第1の機能ブロックから第1の出力端子に出力する信号)104を「H」レベルにする(STEP111)。次に、第2の出力端子102の入力(第1の機能ブロックから第2の出力端子に出力する信号)105を「L」レベルにする(STEP112)。次に、端子ホールド信号106
- 15 を「H」レベルにする(STEP113)。

- 端子ホールド信号106が「H」レベルになると、入力端子100は、切り替え回路107を切り替え、出力103を「L」レベルに固定する。また、第1の出力端子101と第2の出力端子102とは、それぞれ切り替え回路108、109を切り替え、外部に出力する信号レベルを、それぞれ「H」レベル、「L」レベルに固定する。この動作により、入力端子100、第1の出力端子101、および第2の出力端子102は、第1の機能ブロック11が動作している状態を保持したまま、第1の機能ブロック11が行う制御から切り離される。続いて、第1の機能ブロック11は、電源遮断信号41を「H」レベルにし、第1の機能ブロック11への電源供給を停止する(STEP114)。
- 20

- 25 次に、第2の機能ブロック12への電源供給を開始する際の処理手順を、第11図のフローチャートを参照しながら説明する。

電源供給の開始は、実施の形態2で説明したように、第1の割り込み信号55、または第2の割り込み信号56(第9図には示していない)を「H」レベルにすることによって行われる(STEP121)。第1の割り込み信号55または第2

の割り込み信号56が「H」レベルになると、RSラッチ回路51の出力である第1の電源遮断信号41が、「L」レベルとなる。これにより、第1の電源供給回路3は、第1の機能ブロック11に対する電源供給を開始する(STEP122)。

第1の機能ブロック11は、電源が供給されると、第1の出力端子101の入力104を「H」レベルにし(STEP123)、第2の出力端子102の入力105を「L」レベルにする(STEP124)。次に、端子ホールド信号106を「L」レベルにすることにより、第1の機能ブロック11の出力を第1の出力端子101、第2の出力端子102に出力する(STEP125)。

以上のように、本実施の形態6による多電源半導体集積回路1eによれば、入出力端子回路15eを、外部の信号を受け取る入力端子100と、第1の機能ブロック11の電源21を遮断した際に「H」レベルを出力する第1の出力端子101と、第1の機能ブロックの電源21を遮断した際に「L」レベルを出力する第2の出力端子102と、を備えるようにしたので、システム制御用のマイクロコンピュータである第1の機能ブロック11が外部回路の制御を行っている場合においても、外部回路に影響を与えることなく、第1の機能ブロック11に対する電源供給の停止、および電源供給の再開を行うことができる。

(実施の形態7)

本発明の請求の範囲第8項に記載の多電源半導体集積回路に対応する形態を、実施の形態7として、第12図を用いて説明する。

携帯用電子機器の主電源としては電池が用いられることが多く、例えば、実施の形態6による多電源半導体集積回路1eが携帯用電子機器に搭載されている場合、携帯用電子機器全体の消費電力を考えると、第1～5の電源供給回路3～7による消費電力を抑えることが重要になってくる。まず、第5の電源供給回路7は、常時電源を供給するために動いているが、一般的な電源供給回路であるDC/DCコンバータの電源効率は80%～90%程度であるため、相当分の電力を消費してしまう。また、第1～4の電源供給回路3～6においても、電源供給回路自体に電源が供給されているため、多電源半導体集積回路1eへの電源供給を停止していても、それぞれの電源供給回路で漏れ電流が流れ、結果的に電池を消耗させてしまう。本実施の形態7は、このような電源供給回路による消費電力を

極力低減させることを目的としている。

第12図は、本実施の形態7による多電源半導体集積回路1f、および該多電源半導体集積回路1fに対する電源供給回路の構成を示すブロック図である。なお、第12図において、第1図と同一または相当する部分には、同一の符号を用いて、詳細な説明を省略する。

本実施の形態7による多電源半導体集積回路1fは、電源制御回路40fを、第1～第5の電源供給回路3～7への主電源2の供給のゲートとしての主電源遮断回路131を制御する電源遮断信号410を第5の出力端子413を介して出力するとともに、第6の外部電源端子130を介して主電源2より直接電源供給（電源電圧VDD6）を受けるようにし、第1～第4の機能ブロック11～14、および入出力端子回路15を、電源制御回路40fによって制御される電源供給回路3～7より電源供給を受けるようにしたものである。なお、第12図において、411は、第5の電源供給回路7による電源供給および電源供給の停止を制御するために電源制御回路40fより出力される第5の電源遮断信号、414は、第5の電源遮断信号411を多電源半導体集積回路1fより出力する第5の外部出力端子である。

主電源遮断回路131は、例えばFET（Field Effect Transistor）で構成され、電源遮断信号4fの「H」レベル出力により、各電源供給回路3～7への電源供給を停止する構成とされている。

なお、本実施の形態7では、主電源遮断回路131として、FETを用いる例について述べたが、例えば、磁気リレー回路など、電源遮断信号410に基づいて第1～5の電源供給回路3～7に供給する電源を遮断することができれば、どのような回路であってもかまわない。

次に、以上のように構成される多電源半導体集積回路1fの、電源供給停止時の動作について説明する。

電源供給の停止にあたり、システム制御用マイクロコンピュータである第1の機能ブロック11は、電源制御回路40fに対し、電源遮断信号410を「H」レベルにするよう指示する。電源遮断信号410が「H」レベルになると、主電源遮断回路131は、電源供給回路3～7への電源供給を停止する。

以上のように、本実施の形態 7 による多電源半導体集積回路 1 f によれば、電源制御回路 40 f を、第 6 の外部電源端子 130 を介して主電源 2 より直接電源供給を受けるようにし、入出力端子回路 15 のみが、第 5 の電源供給回路 7 から

5 電源供給回路 3～7 に対する主電源 2 の供給のゲートとしての主電源遮断回路 131 を制御する電源遮断信号 410 を、第 5 の出力端子 413 を介して出力するとともに、第 5 の電源供給回路 7 による電源供給および電源供給の停止を制御する第 5 の電源遮断信号 411 を、第 5 の外部出力端子 414 を介して出力するようにしたので、第 1～第 4 の機能ブロック 11～14、および入出力端子回路 1

10 5 に対する電源供給を停止することにより、電源供給回路 3～7 による電力消費をなくすることができ、主電源 2 の消耗を抑制することができる。

なお、電源制御回路 40 は、RS ラッチ回路 51 と 3 入力 OR 回路 52 の非同期構成とすることが望ましい。主電源 2 が電池であり、電池の電圧で多電源半導体集積回路 1 f を動作させる場合、電圧の変動が問題になる。たとえば、ニッケル水素 2 次電池を使用した場合、電源電圧は、1.5 V から 0.9 V 程度まで変動する。電圧が低くなると半導体素子の動作が遅くなることにより、何らかの基準クロックを生成することで、該生成された基準クロックに従って動作する同期設計の回路が動作しない程度に電池電圧が低くなっても、上記非同期構成とした RS ラッチ回路 51 と 3 入力 OR 回路 52 とに電源制御回路 40 としての動作を

15 20 させることができる。

産業上の利用可能性

本発明による、信号処理を行う機能ブロックとマイクロコンピュータとを集積した多電源半導体集積回路は、使用されていない機能ブロックに対する電源供給

25 を停止して、無駄な電力消費を抑制することができるため、例えば、電池により駆動する携帯用電子機器における、電池 1 本あたりの動作時間を長くすることができ、有用である。

請求の範囲

1. 各々異なる電源供給回路より電源の供給を受ける複数の機能ブロックと、
上記複数の機能ブロックに対する電源供給を制御する、上記複数の機能ブロッ
5 クのうちの一つであるマイクロコンピュータと、
上記マイクロコンピュータの制御に基づいて、上記電源供給回路による電源供給を制御する電源制御回路と、
を備えたことを特徴とする多電源半導体集積回路。
2. 請求の範囲第1項に記載の多電源半導体集積回路において、
10 上記電源制御回路は、上記マイクロコンピュータから所定のデータを受信したときに、上記電源供給回路による上記マイクロコンピュータに対する電源供給を停止し、外部からの割り込み信号を受信したときに、上記電源供給回路による上記マイクロコンピュータに対する電源供給を再開する、
ことを特徴とする多電源半導体集積回路。
- 15 3. 請求の範囲第1項または請求の範囲第2項に記載の多電源半導体集積回路において、
上記電源制御回路は、上記割り込み信号を記憶するレジスタを備え、
上記マイクロコンピュータは、電源供給再開後に上記レジスタに記憶された割り込み信号の内容を検知する、
20 ことを特徴とする多電源半導体集積回路。
4. 請求の範囲第1項ないし請求の範囲第3項のいずれかに記載の多電源半導体集積回路において、
上記電源制御回路は、上記複数の電源供給回路による電源供給を停止させるときに、当該電源供給回路に対し電源遮断信号を出力するものであり、
25 上記各機能ブロック、および上記電源制御回路は、電源供給停止状態の回路からの入力論理を、上記電源遮断信号に従い「L」レベルまたは「H」レベルに固定するブロック間信号固定回路を備えた、
ことを特徴とする多電源半導体集積回路。
5. 請求の範囲第1項ないし請求の範囲第4項のいずれかに記載の多電源半導

体集積回路において、

上記電源制御回路は、上記複数の電源供給回路による電源供給を停止させるときに、当該電源供給回路に対し電源遮断信号を出力するものであり、

上記各機能ブロック、および上記電源制御回路は、電源供給停止状態の回路への出力論理を、上記電源遮断信号に従い「L」レベルに固定するブロック間信号固定回路を備えた、

ことを特徴とする多電源半導体集積回路。

6. 請求の範囲第1項ないし請求の範囲第5項のいずれかに記載の多電源半導体集積回路において、

10 常時電源が供給され、上記各機能ブロックの電源供給停止中にシステム情報を保持する記憶手段を備えた、

ことを特徴とする多電源半導体集積回路。

7. 請求の範囲第1項ないし請求の範囲第6項のいずれかに記載の多電源半導体集積回路において、

15 外部との信号の授受を行う入出力端子回路を備え、

上記電源制御回路と、上記入出力端子回路とは、共通の電源供給回路より供給される電源で動作する、

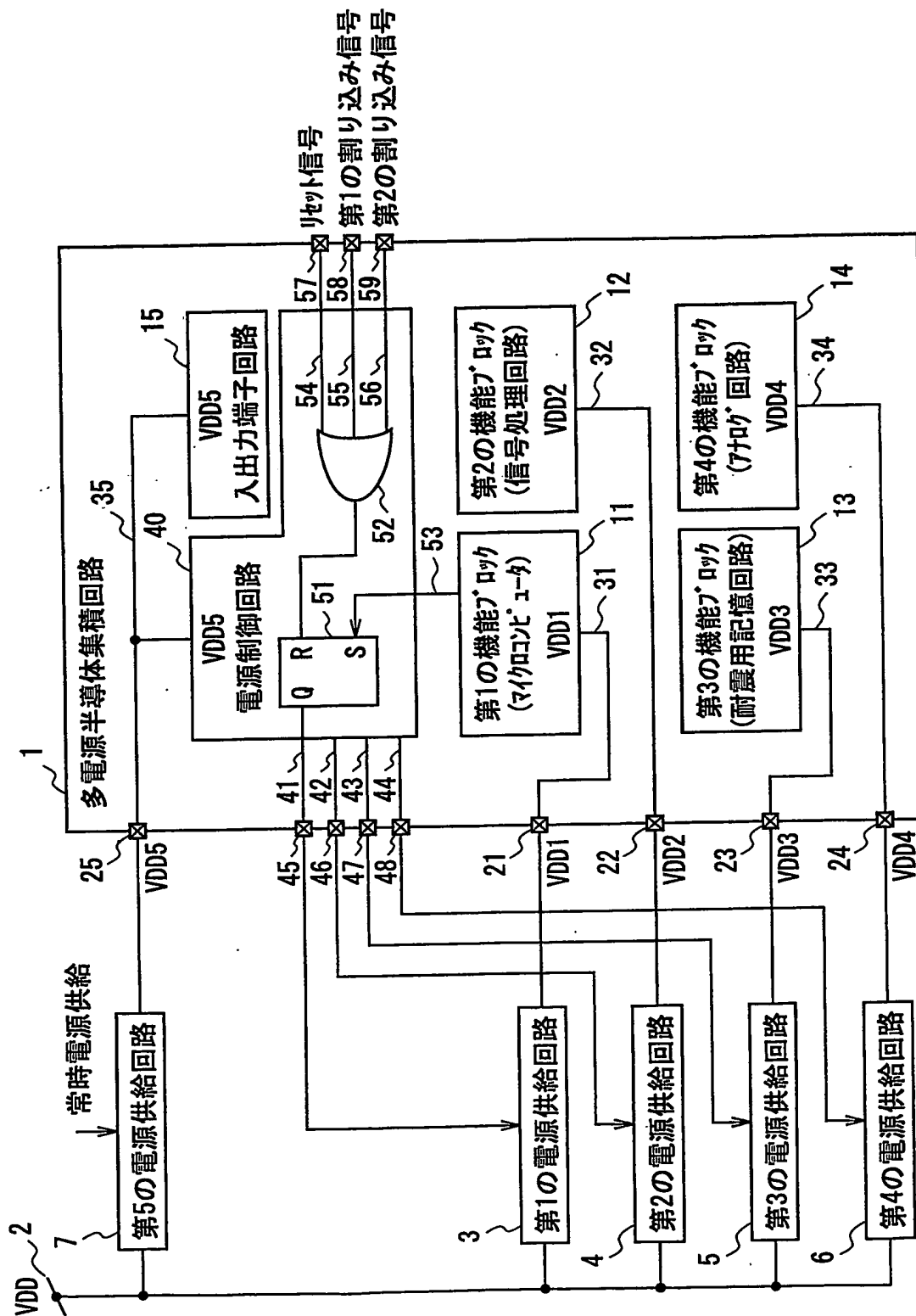
ことを特徴とする多電源半導体集積回路。

8. 請求の範囲第1項ないし請求の範囲第6項のいずれかに記載の多電源半導体集積回路において、

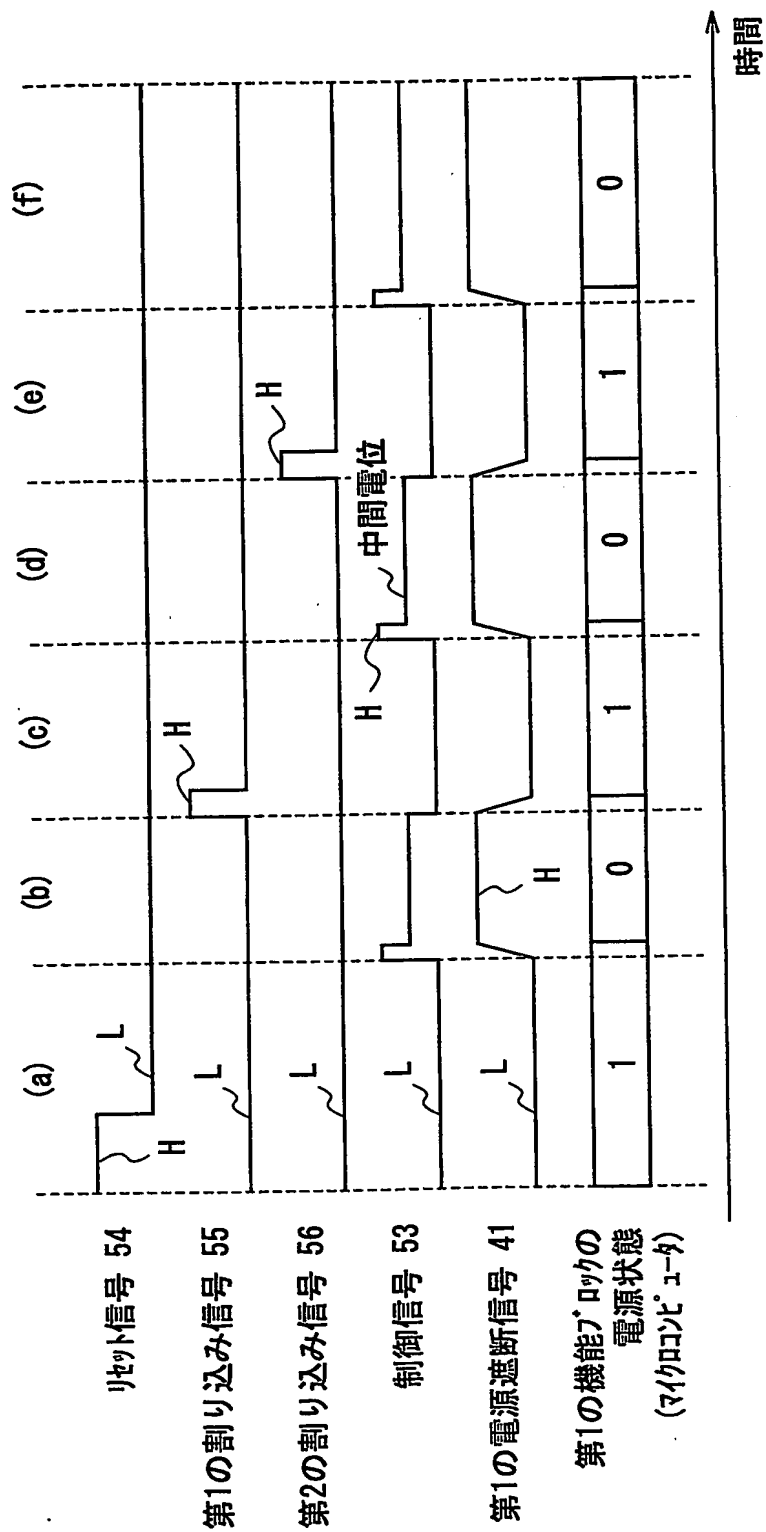
20 上記電源制御回路は、上記複数の電源供給回路に供給する電源で動作し、上記複数の電源供給回路のすべてによる電源供給を停止させる全電源遮断信号を出力する、

ことを特徴とする、多電源半導体集積回路。

第1図



第2図



第3図

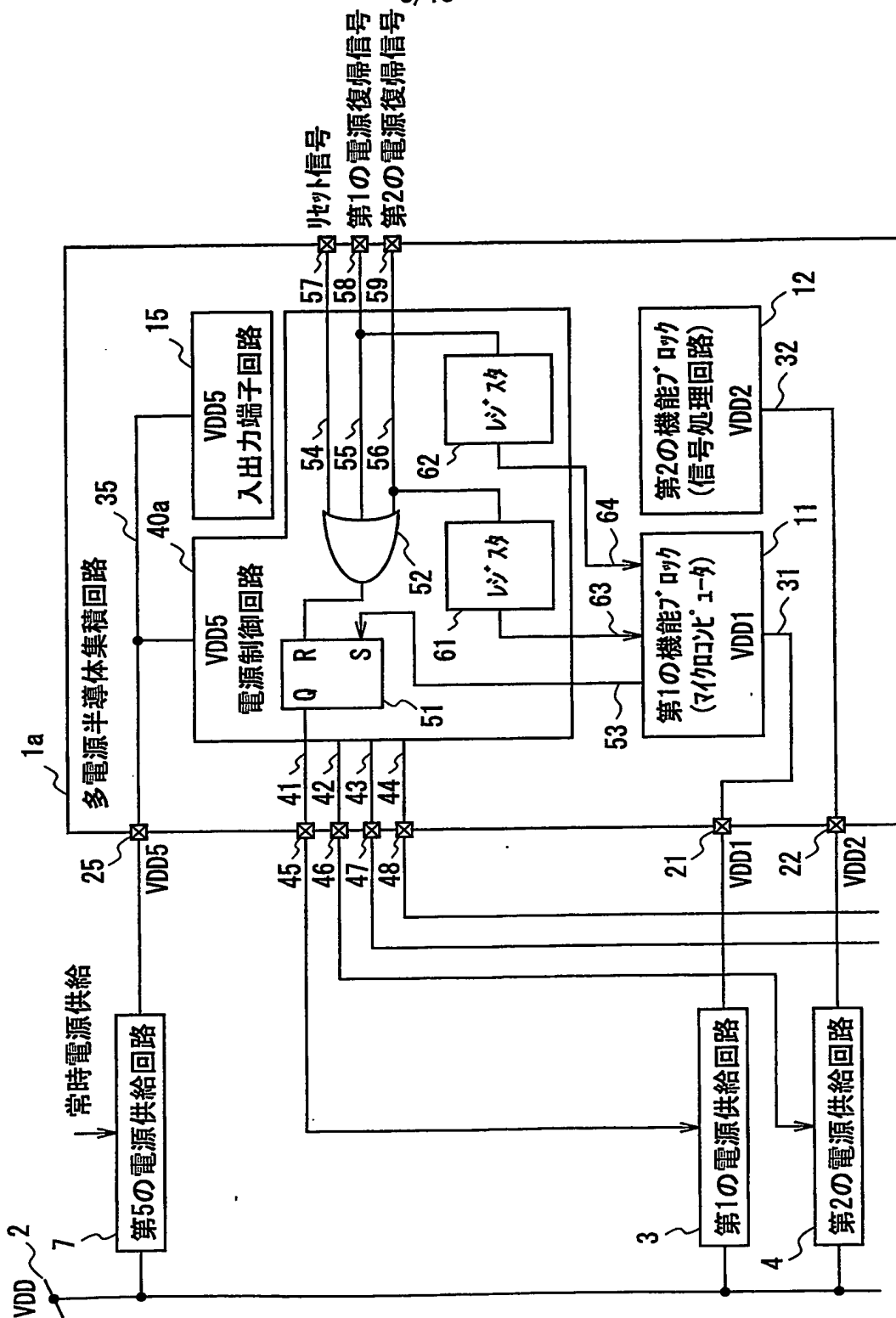
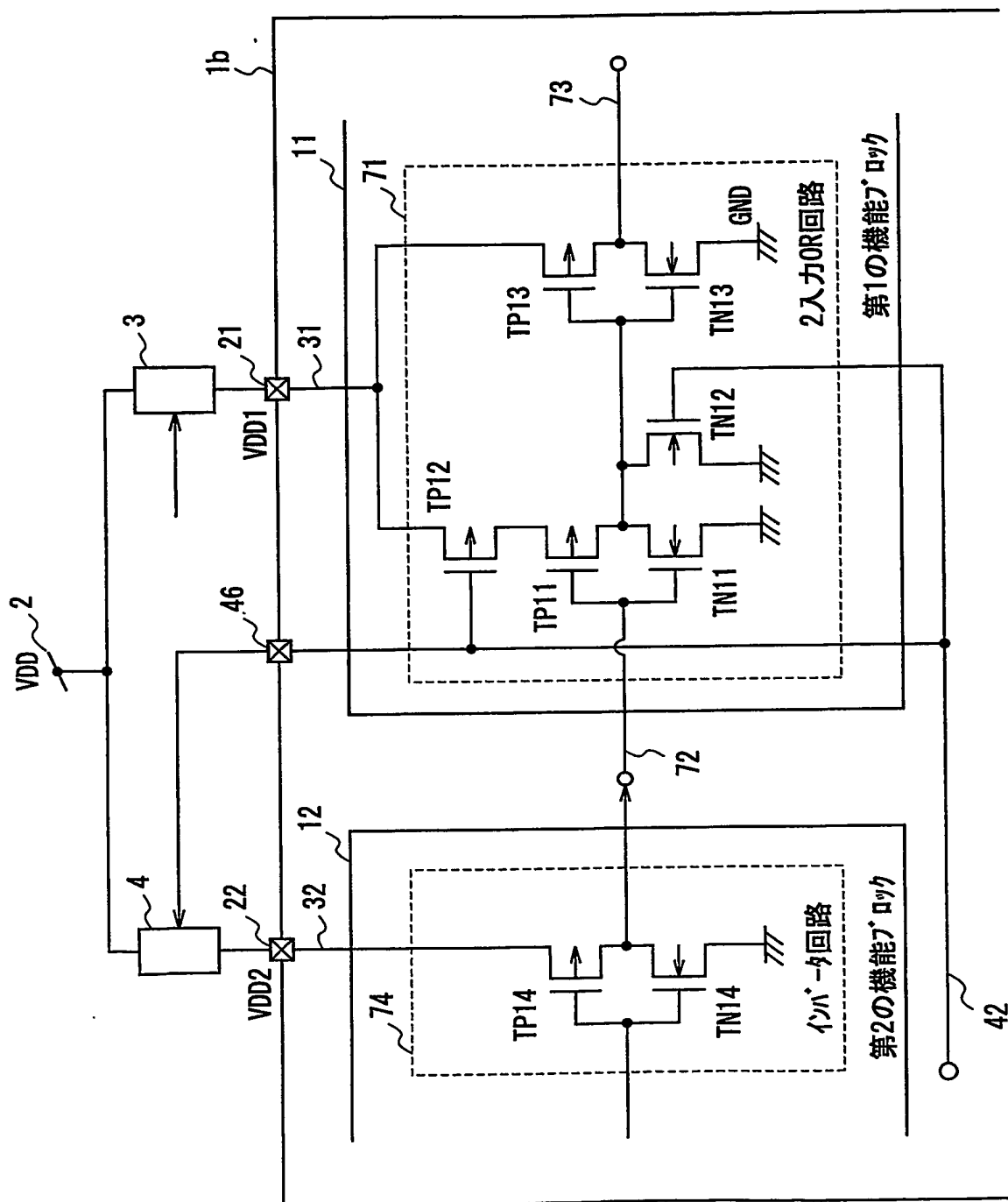
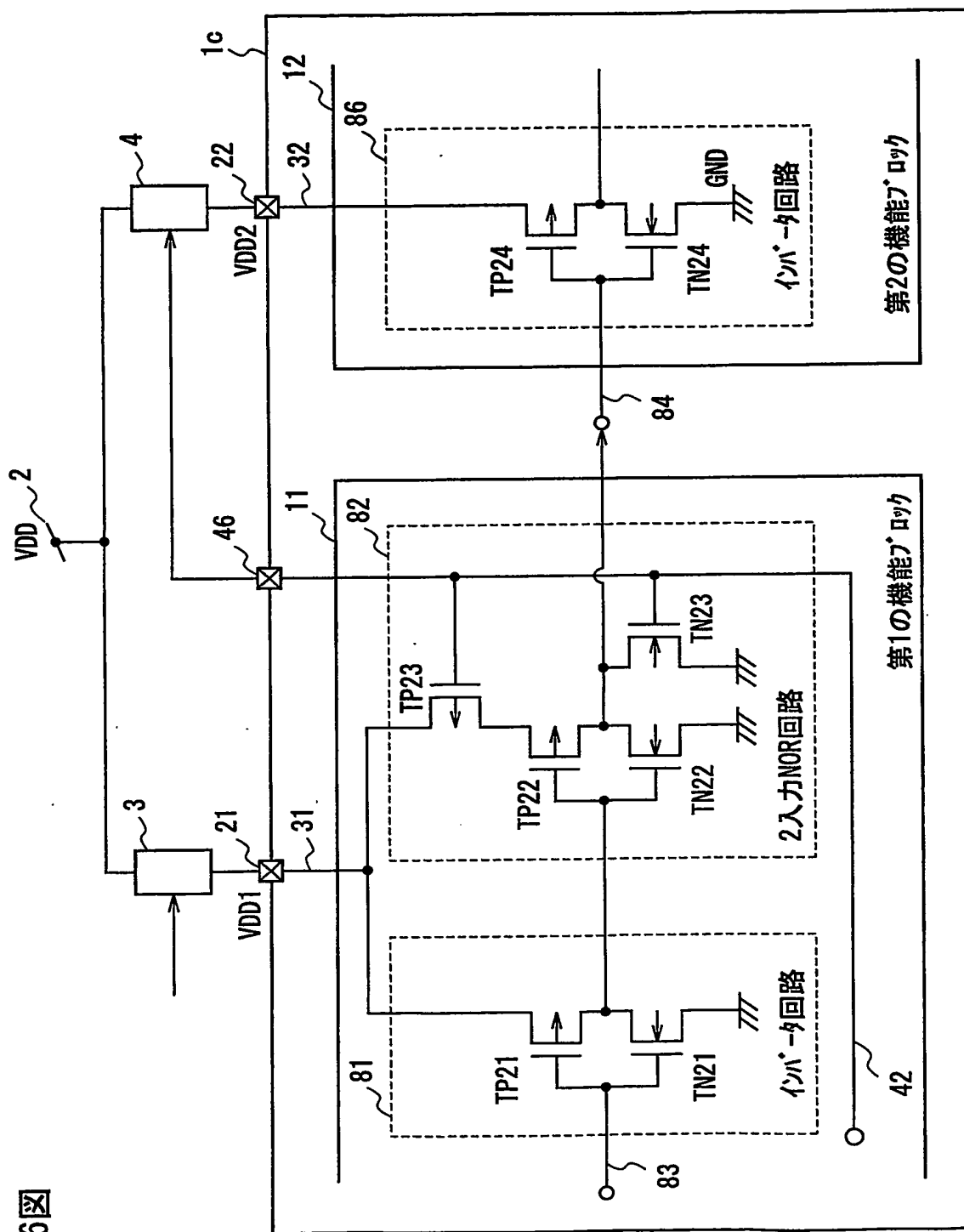
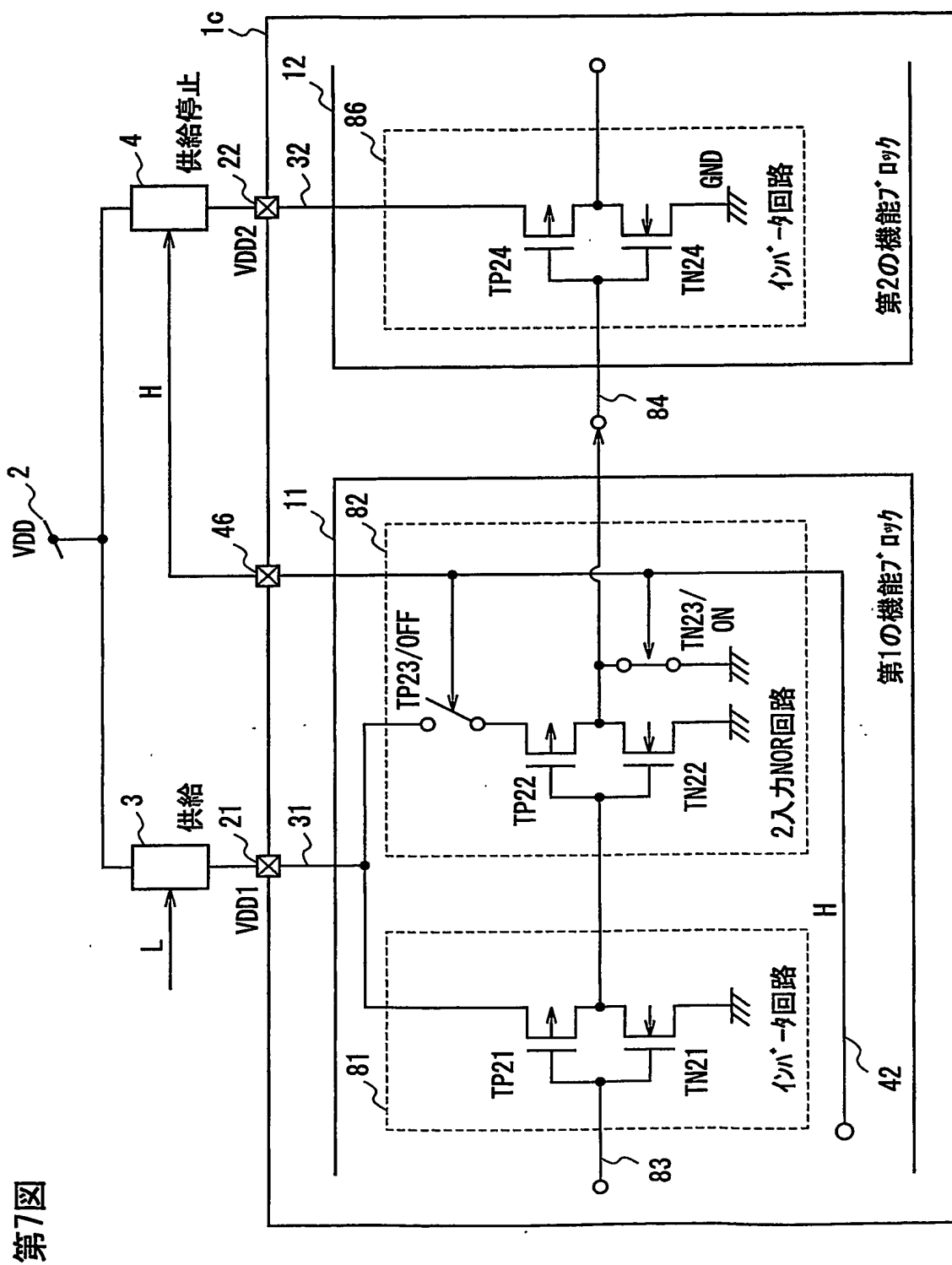


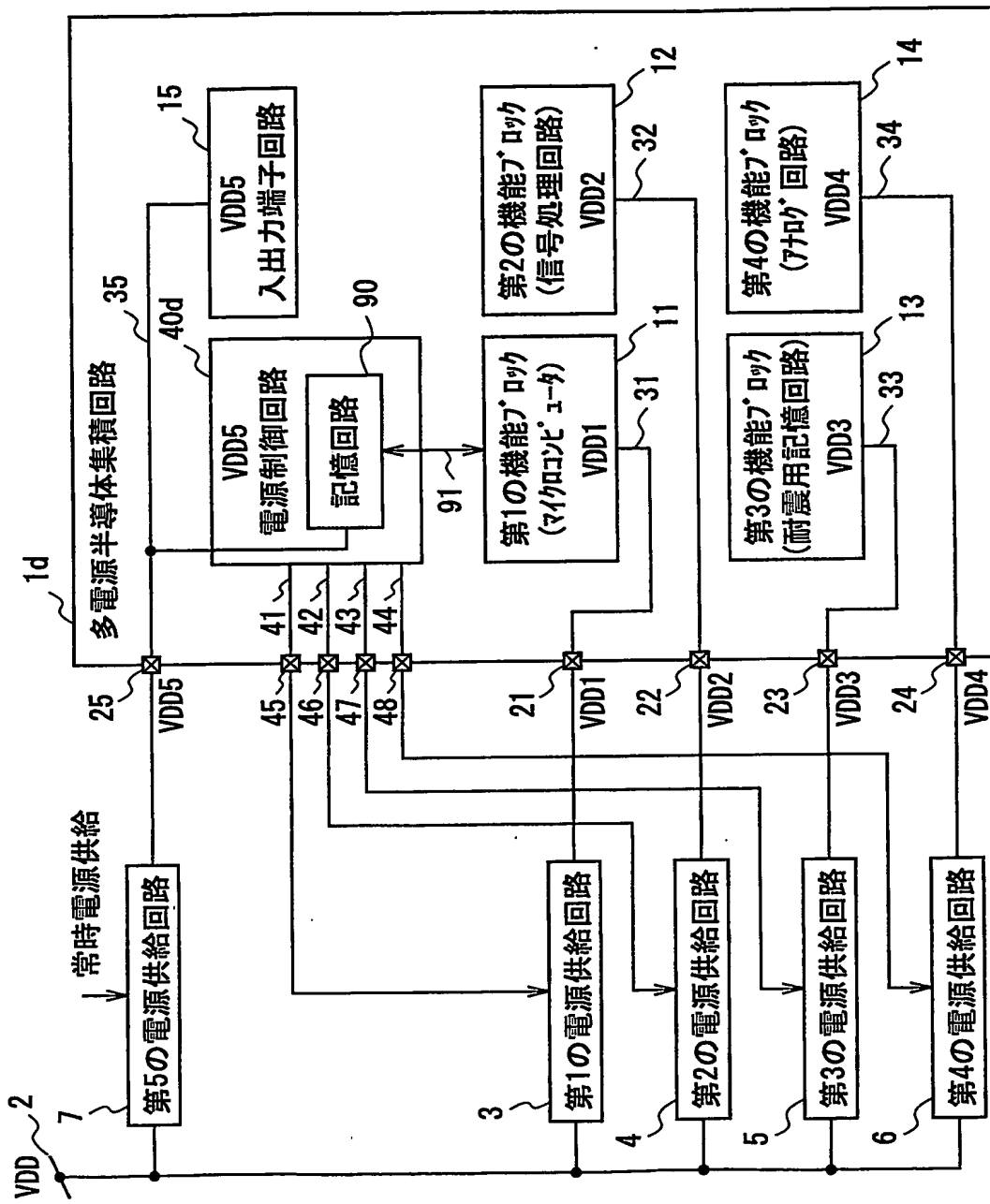
図4 鋼



第6図

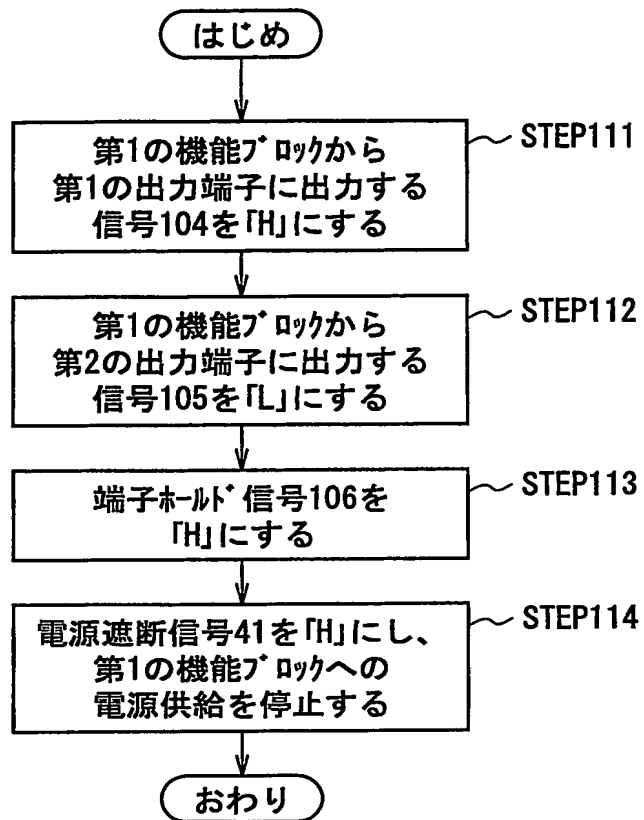




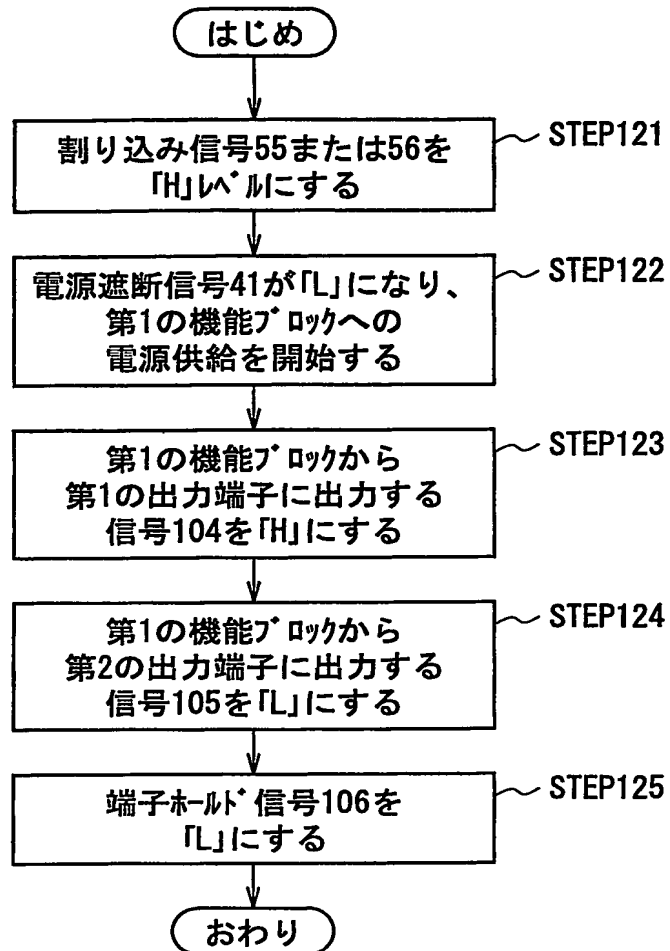


第8図

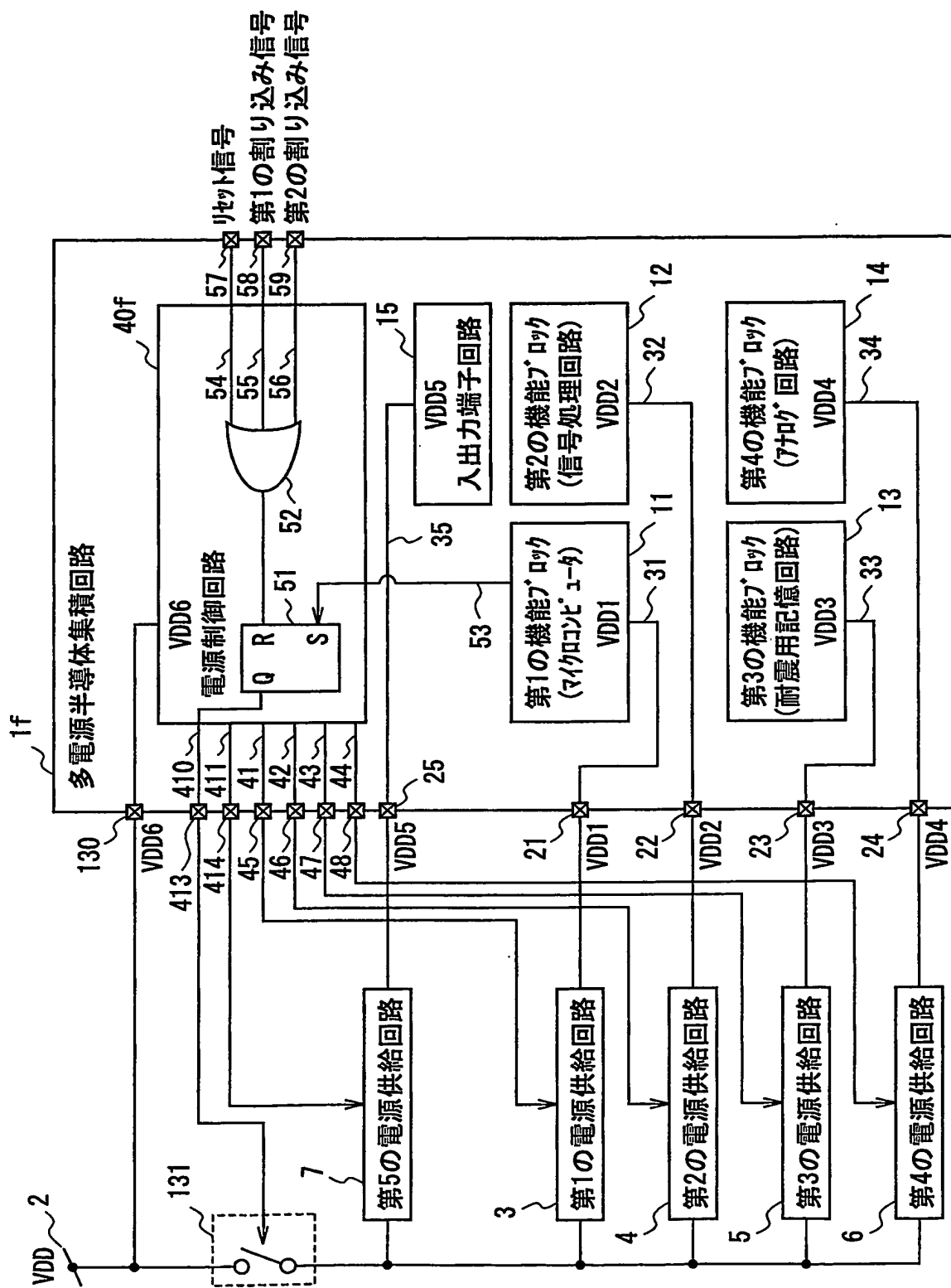
第10図



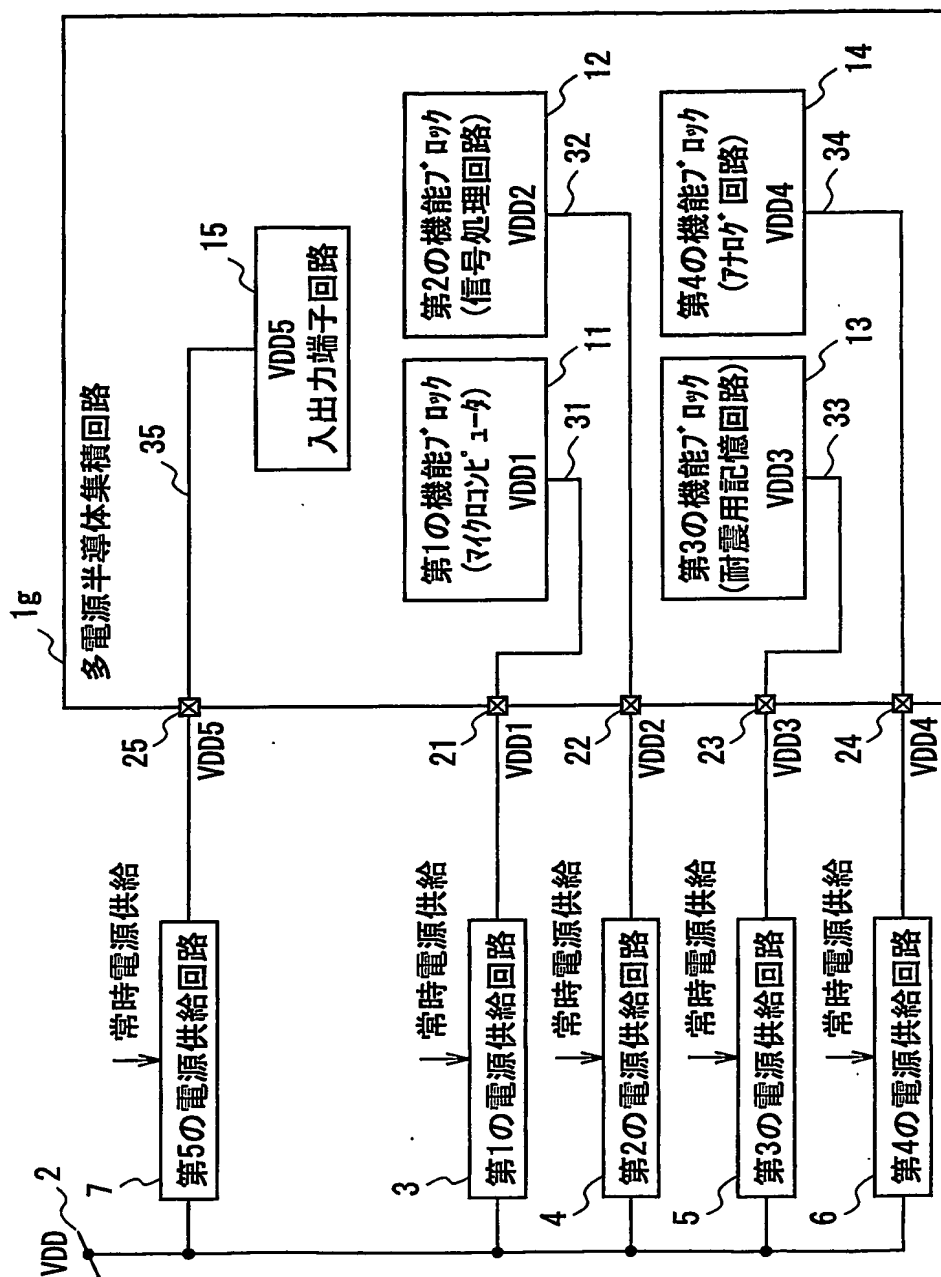
第11図



第12図



第13図



INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/04319

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ G06F1/26, G06F1/32

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ G06F1/26, G06F1/32, H02J7/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003
Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 11-85337 A (Matsushita Electric Industrial Co., Ltd.), 30 March, 1999 (30.03.99), Par. Nos. [0018] to [0026] (Family: none)	1, 2 3-8
A	US 5270946 A1 (Shibasaki), 14 December, 1993 (14.12.93), & EP 335316 A2 & JP 1-276322 A	1-8
A	JP 7-141074 A (Mitsubishi Electric Corp.), 02 June, 1995 (02.06.95), Par. Nos. [0018] to [0019] (Family: none)	1-8

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:	"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
01 July, 2003 (01.07.03)

Date of mailing of the international search report
15 July, 2003 (15.07.03)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International Application No.

PCT/JP03/04319

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
T	JP 2002-182799 A (Fujitsu Kiden Ltd.), 26 June, 2002 (26.06.02), Par. Nos. [0009] to [0018]; Fig. 6 (Family: none)	1-8

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. C17 G06F 1/26, G06F 1/32

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. C17 G06F 1/26, G06F 1/32, H02J 7/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年

日本国公開実用新案公報 1971-2003年

日本国登録実用新案公報 1994-2003年

日本国実用新案登録公報 1996-2003年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 11-85337 A(松下電器産業株式会社), 1999. 03. 30, 段落0018-0026 (ファミリーなし)	1, 2 3-8
A	US 5270946 A1(Shibasaki), 1993. 12. 14&EP 335316 A2&JP 1-276322 A	1-8
A	JP 7-141074 A(三菱電機株式会社), 1995. 06. 02, 段落0018-0019(フ ァミリーなし)	1-8

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」 同一パテントファミリー文献

国際調査を完了した日

01. 07. 03

国際調査報告の発送日

15.07.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

田中 友章



5E

9376

電話番号 03-3581-1101 内線 3520

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
T	JP 2002-182799 A(富士通機電株式会社), 2002. 06. 26, 段落0009-0018, 図6 (ファミリーなし)	1-8